

Sodoben visokofrekvenčni števec

Ana M. Turšič¹,

¹Ime in naslov organizacije prvega avtorja (SRK_Affiliation)

E-pošta: atursic@gmail.com

Povzetek

Frekvenčni števec je kot visokofrekvenčni merilni inštrument utonil v pozabo. Razlogov je več. Marsikje ga je izpodrinil ceni spektralni analizator z vgrajenim števcem frekvence. Povrhu komplicirane modulacije sodobnih številskih oddajnikov onemogočajo neposredno štetje frekvence. Zastarela zasnova visokofrekvenčnih števcov s počasnim preddelilnikom, neprimerno vhodno občutljivostjo, neprimerno vhodno impedanco in neprimernimi sondami je naredila merilnik nepraktičen.

V članku je predstavljena sodobna zasnova visokofrekvenčnega števca z visoko vhodno občutljivostjo, s hitrim neposrednim štetjem frekvence in z vgrajenim merilnikom jakosti visokofrekvenčnega signala, kar vse bistveno razširja uporabnost takšnega merilnika v frekvenčnem področju od 1 MHz do 1 GHz.

Ključne besede

visokofrekvenčni števec, delovanje števca frekvence, zasnova sodobnega števca frekvence

Uvod

Začetki števcov frekvence segajo v začetek petdesetih let 20. stoletja, ko je Philips razvil dekadno števno cev z imenom E1T. Znala je šteti električne impulze in prikazati njihovo vsoto. Delovala je na osnovi katodne cevi z elektrostatičnim odklonom. Glede na vsoto prešteti električnih impulzov se je žarek odmikal v vodoravni ravnini in se na fluorescentnem zaslonu s skalo od 0 do 9 prikazal ob ustreznem številu. Več števnih cevi, povezanih v kaskado, lahko prikazuje večmestna števila, pri čemer prva cev prikazuje enice, druga desetice, tretja stotice, in tako dalje.

Ko je Hewlett-Packard leta 1952 predstavil svoj prvi digitalni elektronski števec, HP 524A, je bila to prelomnica na področju elektronske inštrumentacije. Merjenje frekvence do 10 MHz oziroma štetje zaporednih dogodkov v časovnem razmaku do 100 ns je postalo izvedljivo.

Odtlej so elektronski števcji z nadaljnjim razvojem postajali vedno bolj uporaben in vsestranski pripomoček, ki je našel svoj prostor v laboratorijih, v proizvodnih linijah in servisnih centrih za telekomunikacije, elektroniko, v vojski, računalništvu, izobraževalnih ustanovah in v drugih industrijah. K širjenju nabora izdelkov in njihovih zmogljivosti na trgu števcov so med drugim prispevali: vzpon integriranih

vezij, (višja hitrost delovanja in višja stopnja integracije MOS LSI vezij), ter kasneje mikroprocesor.

1 Osnova delovanja števcov frekvence

Frekvenco, f , ponavljajočega se signala, lahko definiramo kot število impulzov signala v časovni enoti. To je predstavljeno z enačbo (1):

$$f = \frac{n}{t} \quad (1)$$

kjer je n število impulzov signala, ki se pojavi v časovnem intervalu, t . Če za t izberemo 1 sekundo, potem je frekvenca izražena v impulzih na sekundo oziroma v Hertzih (Hz).

Kot nakazuje enačba (1), števcji frekvence merijo frekvenco tako, da preštejejo število impulzov, n , (naraščajoče ali padajoče fronte signala) v točno določenem časovnem intervalu, t .

Vhodni signal se v vhodnem delu preoblikuje do oblike, ki je združljiva z notranjim vezjem števca, torej z zahtevami uporabljene družine logičnih vezij. Vhodni del mora zagotoviti primerno vhodno občutljivost in vhodno impedanco. Vhodni del je lahko sklopljen izmenično ali pa enosmerno.

Preoblikovani signal, ki pride na vhod glavnih vrat, je niz pulzov, kjer vsak pulz predstavlja en dogodek vhodnega signala. Ko so glavna vrata odprta, pulzi potujejo skozi in se seštejejo v registru štetja. Od časovne baze je odvisno, koliko časa bodo glavna vrata odprta, kar je določeno s časovnim intervalom, t . Iz enačbe (1) je razvidno, da je natančnost meritve frekvence odvisna od natančnosti, s katero je določena časovna baza oziroma časovni interval.

Ločljivost, L , frekvenčnega števca je neposredno povezana s časom vrat, t , natančneje, ločljivost je recipročna vrednost časa vrat in se meri v Hz oz v s^{-1} , kar prikazuje enačba (2).

$$L = \frac{1}{t} \quad (2)$$

Za ločljivost 1 Hz je torej potreben čas vrat 1 s, za ločljivost 10 Hz desetkrat manj, torej 0.1 s in tako dalje. Ker je rezultat meritve celo število, bo vedno opletal med najmanj dvema sosednjima vrednostima. Čas vrat, t , oziroma časovni interval, je določen s periodo izbranega niza pulzov, ki izhajajo iz delilnika časovne baze.

Omejitev vseh števcov frekvence je najvišja dopustna frekvenca štetja. Za merjenje še višjih frekvenc v radijskem in mikrovalovnem vezju potrebujemo dodatna vezja na vhodu. Sinusne periodične signale zelo visokih frekvenc lahko s pomočjo lokalnega oscilatorja znane frekvence mešamo na primerno nižjo medfrekvenco, obvladljivo s strani frekvenčnega števca.

Frekvenčnemu števcu lahko dodamo tudi zunanji digitalni preddelilnik. Slaba lastnost predelilnika je, da upočasnjuje meritev oziroma poslabša ločljivost meritve za svoj faktor deljenja frekvence (modulo). Predelilnik je izdelan v hitri logični družini, običajno ECL in je opremljen z lastnim vhodnim delom s predojačevalnikom. Predelilnik ima običajno en sam izhod zadnje stopnje deljenja in nima nobenega krmilnega vhoda za reset. Ker notranje stanje večstopenjskega predelilnika ni dostopno in nanj ne moremo vplivati, lahko kvečjemu upočasnimo meritev za faktor deljenja predelilnika, oziroma se zadovoljimo z nižjo ločljivostjo meritve.

Ločljivost, L , je pri števcih frekvence s predelilnikom poleg časa vrat, t , povezana tudi s številom stopenj deljenja, torej z modulom N , kar prikazuje enačba (3).

$$L = \frac{N}{t} \quad (3)$$

Iz enačbe (3) sledi, da je za isto ločljivost (npr. 10 Hz) pri manjšem modulu oziroma odsotnosti ($N=1$) predelilnika, potreben čas vrat manjši kot pri večjem modulu. Z drugimi besedami, bolj kot delimo vhodno frekvenco, počasneje dobimo rezultat meritve, saj je čas vrat daljši, ob dejstvu, da obdržimo enako ločljivost.

Osnovni frekvenčni števec v tehnologiji TTL običajno dosega frekvenčno mejo okoli 50 MHz, v sodobnih CMOS tehnologijah nekaj sto MHz. Predelilniki dosegajo frekvence od 1 GHz do preko 20 GHz. Modulo deljenja predelilnika je lahko desetiški za preprosto uporabo oziroma dvojiški za najvišjo možno frekvenco štetja. Najvišja možna frekvenca štetja preprečuje, da bi vhodni ojačevalnik predelilnika vseboval histerezo. Spodnja frekvenčna meja predelilnika je zato omejena na 30 MHz ali več.

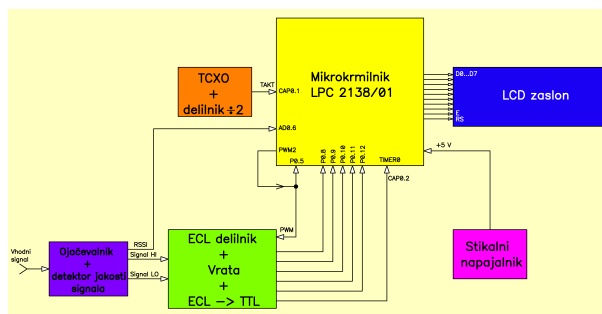
Pri marsikaterem števcu frekvence predstavljala težavo tudi slaba izvedba vhodnega dela, ki ima neprimerno vhodno impedanco in je opremljen z neustrezno sondo.

Pomankljivost večine frekvenčnih števcov je tudi to, da merilnik ne preverja niti uporabniku ne sporoča, ali je jakost vhodnega signala znotraj meja, v katerih vhodni del lahko deluje in števec zanesljivo šteje. Večina števcov se pri tem zanaša na opazovanje uporabnika, ki ocenjuje zanesljivost meritve iz opletanja rezultata, kar ne more biti objektivna meritev.

2 Zasnova sodobnega visokofrekvenčnega števca

Sodoben frekvenčni števec, ki je predmet te naloge, deluje brez predelilnika, vendar vlogo deljenja vhodne frekvence prav tako igrajo hitra ECL vezja. Za pomembno razliko od običajnih števcov z ECL predelilnikom, ta v prvi stopnji poleg delilnika vsebuje tudi vrata. Vse ostale naloge frekvenčnega števca opravlja mikrokontroler z 32-bitnim procesorjem ARM7 in bogatim naborom vhodno/izhodnih enot.

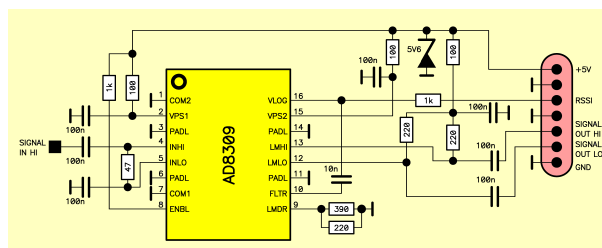
Mikroprocesor omogoča, da števca ni potrebno ponastavljati za vsako meritev. Rezultat štetja je preprosto razlika med starim in novim stanjem števca, ki jo izračuna mikroprocesor. Obdelava v mikroprocesorju poteka v dvojiški obliki, tudi vsi števci so dvojiški, kar se odraža v hitrejšem delovanju inštrumenta in višji gornji frekvenčni meji. Rezultat meritve se v desetiško obliko pretvori šele tik pred izpisom na zaslon. Osnovni blokovni načrt sodobnega frekvenčnega števca je prikazana na Sliki 1.



Slika 1. Osnovni blokovni načrt sodobnega frekvenčnega števca

2.1 Vhodni del števca

Prvi člen frekvenčnega števca je čip AD8309, ki vsebuje ojačevalnik-omejevalnik in logaritemski detektor jakosti vhodnega signala. Ojačevalnik-omejevalnik krmili digitalni del števca z oblikovanim signalom znane jakosti. Logaritemski detektor meri jakost vhodnega signala v razponu 100dB. Delovanje ojačevalnika-omejevalnika in logaritemskega detektorja je zagotovljeno v razponu frekvenc od 5MHz do 500MHz. S popravki v programski opremini mikrokontroler smo uspeli doseči zadovoljivo delovanje vezja AD8309 v razponu od 2MHz do 800MHz. Podroben načrt vezja je predstavljen na Sliki 2.



Slika 2. Podroben načrt vezja čipa AD8309

Nato se v čipu AD8309 signal ojača ter se mu hkrati izmeri logaritemska vrednost. Pri nastavljanju velikosti ojačanja je potrebno paziti, da ne nastavimo previsoke vrednosti, saj se potem (preveč ojačan) izhodni signal sklopi nazaj na vhod in vezje lahko prične samooscilirati.

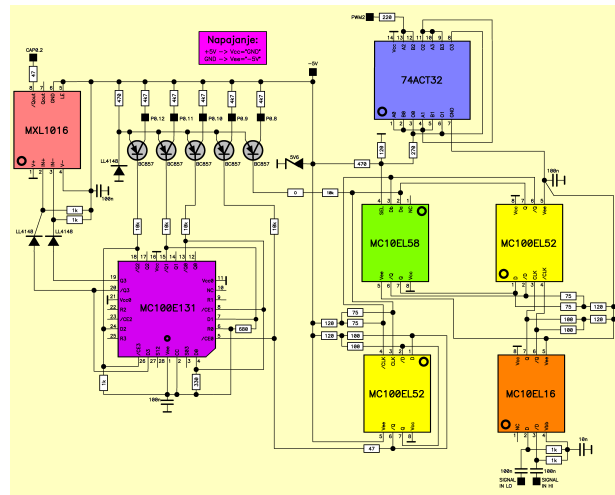
2.2 Delilniki ECL in vrata

Ojačan merjeni signal pripeljemo na ECL vezja. Pred deljenjem signal zopet izmenično sklopimo preko 100 nF kondenzatorjev ter ga ponovno ojačamo z ECL čipom MC10EL16. Ponovno ojačanje in omejevanje je potrebno, ker signala s čipom AD8309 ne moremo ojačati do ravni, potrebne za krmiljenje nadaljnjih ECL flip-flopov. Ti namreč zavoljo hitrejšega delovanja ne vsebujejo ojačevalnika, za razliko od nekaterih drugih delilnikov.

Merjeni signal nato pripeljemo na čip MC100EL52 (D flip-flop), ki skupaj s čipom MC10EL58 (2:1 multiplexer) tvori navidezni JK flip-flop. Vhod D čipa MC100EL52 je vezan na izhod multiplexerja. Izhoda Q oziroma /Q D flip-flopa krmilita vhoda multiplexerja in ostale flip-flope v števnih verigi. Merjeno frekvenco pripeljemo na vhoda CLK in /CLK D flip-flopa, ker diferencialno (dvofazno) krmiljenje omogoča višjo frekvenco delovanja.

Signal vrat frekvencometra proizvajajo notranji časovnik mikrokrmilnika na izhodu PWM2. Vrata peljemo na vhod Select multiplexerja, ki zaustavlja oziroma sprošča štetje celotne verige, torej se obnaša kot (negirana) vzporedna vezava vhodov J in K. Ko je PWM2 oziroma Select visok (logična enica), D flip-flop ob vsakem taktu prepisuje staro stanje. D flip-flop tedaj ne šteje, je zaustavljen in posledično tudi celotna veriga flip-flopov za njim. Ko je PWM2 oziroma Select nizek (logična ničla), D flip-flop ob vsakem taktu menja stanje. D flip-flop tedaj šteje in deli frekvenco z dva, kar potem šteje naslednji flip-flop v verigi. Opisana rešitev omogoča točnejše štetje od običajnih IN vrat na vhodu števca.

Signal PWM2, ki proži vrata, je potrebno zaradi različnih napetostnih nivojev delovanja ECL vezij in mikrokrmilnika prej ustrezno prilagoditi. To nalogo opravi čip 74ACT32, ki lahko sprejme različne vhodne napetosti, izhodi iz njega pa so točno definirane napetosti. Slika 3 prikazuje podroben načrt celotnega vezja ECL delilnikov.



Slika 3. Načrt vezja ECL delilnikov

Prvemu flip-flopu z MC100EL52 in MC10EL58 sledi asinhrona (ripple clocking) veriga števec: pet ECL flip-flopov. Skupno vsebuje števec šest ECL flip-flopov, ki delijo vhodno frekvenco 1GHz s 64, kar daje približno 15MHz oziroma ravno toliko, kolikor je TIMER0 v mikrokrmilniku še sposoben obdelati.

TIMER0 krmilimo preko vhoda CAP0.2, ki zahteva TTL ravni signalov. Pretvorbo iz ECL na TTL opravi ultra-hiter primerjalnik MXL1016 s frekvenčno mejo 100MHz. Ker ECL flip-flopov ne uporabljamo kot predelilnik, pač pa kot števec, moramo mikrokrmilniku zagotoviti vpogled v vsebino vseh ECL stopenj, ne samo zadnje. Na srečo mikrokrmilnik opazuje vse stopnje razen zadnje v zaustavljenem stanju, torej je dostop do njih lahko razmeroma počasen.

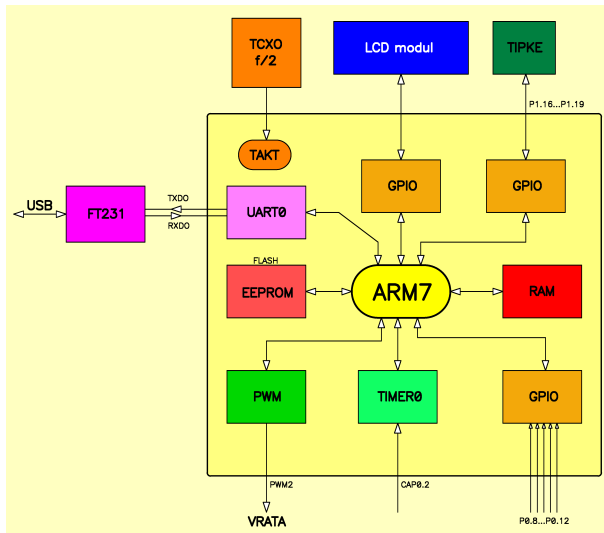
Mikroprocesor omogoča izračun frekvence kot razliko dveh odčitkov števca, torej ponastavljanje števca za novo meritev ni potrebno niti ni potreben reset ECL flip-flopov.

2.3 Mikrokrmilnik LPC2138/01

Srce frekvenčnega števca predstavlja 32-bitni mikrokrmilnik LPC2138/01 s procesorjem ARM7TDMI-S, ki izvršuje nabor ukazov ARMv4T.

Za števec frekvence uporabimo le del nabora funkcij, ki jih ponuja mikrokrmilnik LPC2138/01. Mednje sodijo procesor ARM7TDMI-S, statični RAM, pomnilnik EEPROM, serijski vmesnik UART0, 16 vhodno-izhodnih enot GPIO, en 32-bitni števec zunanjih dogodkov TIMER0 in PWM enota.

Poleg naštetih funkcij smo za potrebe frekvenčnega števca dodali še nekaj zunanjih enot. Te so zunanji temperaturno kompenziran kristalni oscilator (TCXO) s frekvenco 38.88 MHz (ki jo delimo z dva), zaradi boljše stabilnosti, USB vmesnik za komunikacijo z računalnikom, LCD krmilnik z zaslonom ter štiri tipke za vhodne ukaze. Vse uporabljene enote mikrokrmilnika ter zunanje enote so prikazane na Sliki 4.



Slika 4. Blokovni načrt uporabljenih enot mikrokrmilnika LPC2138/01 in zunanje enote

Neznano frekvenco štejemo s funkcijo Timer. To nastavimo tako, da šteje takte zunanje ure oziroma zunanjšega signala. Vhodne vrednosti za meritev frekvence so prvih 5 bitov iz posameznih stopenj ECL delilnikov, zadnji, šesti bit pa pripeljemo na vhod TIMER0.

Funkcija Timer ima svoje omejitve. Ena od njih je največja vrednost vhodne frekvence zunanjšega signala. Ta mora biti manjša od ene četrtine ure PCLK. Za meritev enega takta vhodne frekvence na vhodu CAP sta namreč potrebna dva zaporedna takta notranje ure PCLK. Frekvenco ure PCLK programsko nastavimo. Osnovni takt zagotavlja zunanji kristalni oscilator s frekvenco 38.88 MHz, ki jo delimo z dva. Na mikrokrmilnik pripeljemo takt 19.44 MHz, za frekvenco PCLK ga množimo s tri in dobimo frekvenco notranje ure 58.32 MHz. Ker je zahteva za največjo vrednost vhodne frekvence največ ena četrtina frekvence PCLK, je naša omejitev za vhodno frekvenco 14.58 MHz. Najvišja vhodna frekvenca, ki jo lahko mikrokrmilnik obdela, je torej 933 MHz ($14.58 \text{ MHz} \cdot 64$).

2.4 Meritev jakosti signala

Poleg frekvence naš inštrument meri tudi jakost signala. To je dober pokazatelj, kdaj je jakost merjenega signala v okvirih, kjer inštrument pravilno deluje.

Jakost signala izmeri čip AD8309, ki je hkrati vhodni ojačevalnik ter omejevalnik in je podrobneje opisan v poglavju 2.1. Vhodni del števeca. Izhod RSSI (Received Signal Strength Indikator) čipa AD8309, kjer se nahaja izmerjena jakost signala, izražena v napetosti 0 V do 3.3 V, peljemo na vhod AD0.6 mikrokrmilnika. Vhod AD0.6 je del analogeno-digitalnega pretvornika (ADC – Analog-to-Digital Converter), kateremu osnovni takt zagotavlja PCLK. V pretvornik je vključen programirljiv delilnik, ki nastavi takt (uro) na največ 4.5 MHz, kolikor zahteva postopek pretvorbe. Za popolnoma točno pretvorbo je potrebnih enajst taktov. V našem primeru osnovni takt nastavimo na 4 MHz.

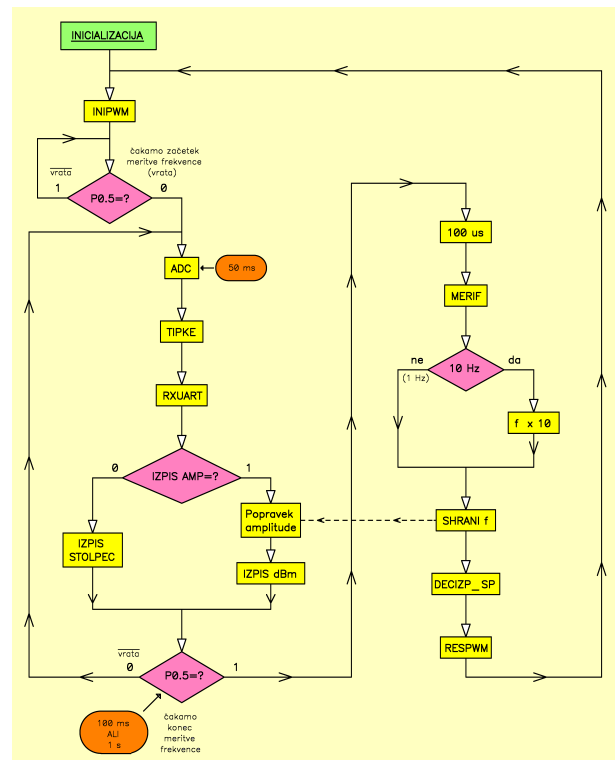
Logaritemski detektor čipa AD8309 meri jakost vhodnega signala v razponu 100 dB. V našem primeru ga uporabljamo v razponu 80 dB, od -60 dBm do +20 dBm. Pri tem jakosti -60 dBm ustreza napetost 0.7 V in jakosti +20 dBm ustreza napetost 2.3 V.

Za bolj točno meritev jakosti signala naredimo povprečenje $2^{14}=16384$ meritev, kar traja približno 50 ms. Povprečenje se izvrši med potekom meritve frekvence, ki traja bodisi 100 ms bodisi 1 s, odvisno od izbranega časa vrat.

2.5 Programska koda

Program, ki teče v procesorju in opravlja nalogo merjenja frekvence in jakosti signala, je napisan v zbirnem programskem jeziku Assembly. Ta je nizkonivojski jezik druge generacije (prva generacija je strojna koda). Sestavljen je iz ukaznih kod – mnemonikov, ki so v procesorju definirani po ISA (Instruction Set Architecture) arhitekturi. Vsak mnemonik predstavlja en ukaz ali operacijo, s katerimi dostopamo do posameznih registrov procesorja oziroma vplivamo na podatke v njih. Programsko kodo tako pišemo na nivoju operacij med registri, s čimer lahko ob dobrem znanju programiranja dosežemo visoko algoritemsko učinkovitost. Za razliko od višjih programskih jezikov, ki potrebujejo prevajalnik, kot je na primer jezik C++, zbirnik prevajalnika ne potrebuje. V strojno kodo ga pretvori pomožni program Assembler.

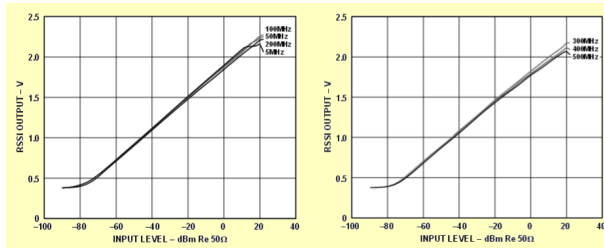
Na Sliki 5 je prikazan diagram poteka programske kode števeca frekvence, ki teče v procesorju mikrokrmilnika LPC2138/01.



Slika 5. Diagram poteka programske kode števeca frekvence

2.5.1 Popravek frekvenčnega odziva čipa AD8309

Vhodni ojačevalnik in omejevalnik ter logaritemski detektor AD8309 za naš frekvenčni števec ženemo preko njegovih zagotovljenih frekvenčnih zmogljivosti. Že brez tega se razmerje med vhodnim in izhodnim RSSI signalom na spodnji in predvsem na zgornji meji razlikuje za različne frekvence. Razlog je upadanje ojačanja posameznih stopenj AD8309 na spodnji in predvsem na zgornji frekvenčni meji. To je prikazano na Sliki 6.



Slika 6. Frekvenčni odziv čipa AD8309 - razmerje med vhodnim signalom in izhodnim RSSI signalom pri različnih frekvencah [1]

Mikrokrmilnik nam daje maneverski prostor, da odstopanje izmerjenih vrednosti jakosti signala od zelenih programsko kompenziramo z linearizacijo krivulje frekvenčnega odziva. Na podlagi meritev z nekompenzirano decibelsko skalo (Tabela 1) smo določili, kolikšen mora biti popravek amplitude. Linearizacijo izvedemo tako, da s pomočjo izmerjene vrednosti frekvence preračunavamo amplitudo.

Decibelsko skalo tako prilagodimo za izpis jakosti signala za točno tisto frekvenco, ki jo trenutno merimo.

S tem, ko smo decibelsko skalo uspešno prilagodili, je meritev jakosti signala točnejša, povprečno odstopanje je le še okrog enega do dveh decibelov. Rezultati meritev jakosti signala brez kompenzacije in s kompenzacijo pri osmih različnih frekvencah so predstavljeni v Tabeli 1.

Tabela 1. Rezultati meritev jakosti signala brez kompenzacije in s kompenzacijo pri osmih različnih frekvencah

Jakost \ f	3 MHz	10 MHz	30 MHz	100 MHz	300 MHz	500 MHz	700 MHz	1 GHz
+20 dBm	+17.7	+18.6	+21.1	+22.9	+16.6	+12.3	+7.5	+5.6
+10 dBm	+14.4	+14.3	+14.0	+13.0	+8.6	+4.7	+0.2	-14.2
+0 dBm	+3.5	+3.4	+3.2	+2.3	-0.8	-3.5	-7.4	-17.6
-10 dBm	-7.4	-7.4	-7.6	-8.3	-10.9	-13.2	-15.3	-25.9
-20 dBm	-18.1	-18.1	-18.2	-18.8	-20.6	-22.1	-23.9	-35.7
-30 dBm	-28.7	-28.8	-28.8	-29.3	-31.0	-32.1	-43.5	-48.4
-40 dBm	-39.3	-39.4	-39.4	-39.8	-41.8	-42.1	-45.8	-61.6
-50 dBm	-49.8	-49.9	-50.0	-50.9	-53.7	-51.6	-57.5	-71.4
-60 dBm	-59.8	-60.4	-60.5	-61.9	-70.5	-59.9	-70.0	-72.1

Frekvenčni odziv čipa AD8309 brez kompenzacije

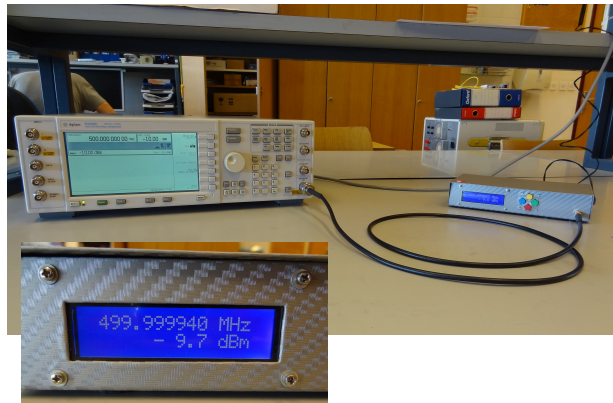
Jakost \ f	3 MHz	10 MHz	30 MHz	100 MHz	300 MHz	500 MHz	700 MHz	1 GHz
+20 dBm	+12.4	+13.4	+16.2	+19.6	+18.2	+18.2	+17.2	+20.9
+10 dBm	+9.3	+9.4	+9.6	+10.1	+10.0	+9.9	8.9	-3.5
+0 dBm	-0.8	-0.8	-0.6	-0.2	+0.5	+1.2	+0.1	-7.6
-10 dBm	-10.9	-10.9	-10.8	-10.3	-9.7	-9.3	-8.9	-17.9
-20 dBm	-20.9	-20.8	-20.7	-20.4	-19.7	-18.9	-18.7	-29.9
-30 dBm	-30.8	-30.7	-30.7	-30.5	-30.3	-29.8	-30.8	-45.6
-40 dBm	-40.6	-40.6	-40.6	-40.6	-41.2	-40.6	-43.7	-61.9
-50 dBm	-50.4	-50.5	-50.5	-50.9	-53.5	-50.9	-57.0	-71.6
-60 dBm	-59.7	-60.2	-60.4	-61.8	-70.6	-59.8	-70.9	-72.2

Frekvenčni odziv čipa AD8309 s kompenzacijo

3 Uporaba in meritve

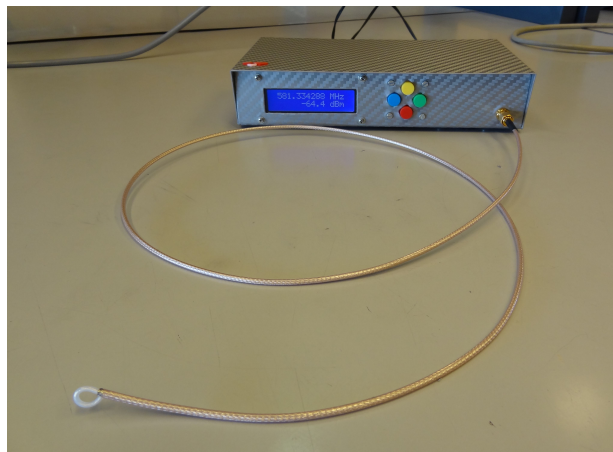
Čip AD8309 predstavlja omejitev tako za zgornjo, kot tudi spodnjo frekvenčno mejo. Iz zelenega razpona od 1 MHz do 1 GHz pridemo na razpon od 2 MHz do 800 MHz, izven teh meja meritev ni več najbolj točna.

Točnost delovanja števca frekvence preizkusimo s signalnim generatorjem. Stabilen zunanji kristalni oscilator poskrbi za stabilen rezultat brez opletanja na zadnji, šesti, decimalki. Rezultat odstopa le za nekaj deset Hz. Primer preizkusa s signalnim generatorjem prikazuje Slika 7. Nastavljena frekvenca na signalnem generatorju je 500 MHz pri -10 dBm. Števec frekvence pokaže 499.999940 MHz in -9.7 dBm.



Slika 7. Preizkus delovanja s signalnim generatorjem.

Za izvajanje meritev uporabimo preprosto sondo z zankico, ki jo priklopimo na SMA vhod števca (Slika 8). Na zaslonu inštrumenta se izpiše frekvenca v [MHz] in jakost signala v [dBm] ali grafično z naraščajočo vrstico, kar izbiramo z dvema tipkama. Časovno bazo 1 Hz ali 10 Hz izbiramo z drugima dvema tipkama. Če je izbran čas vrat 100 ms (10 Hz), potem se ob napisu MHz pojavi znak „*“.



Slika 8. Sodoben števec frekvence s sondo z zankico

Števec točno meri v območju jakosti od -60 dBm do +20 dBm. Če se merjeni signal nahaja izven teh meja, se namesto jakosti na zaslonu izpiše „LOW“ oziroma „HIGH“.

4 Zaključek

?

Literatura

[1] AD8309 DataSheet, str. 5